

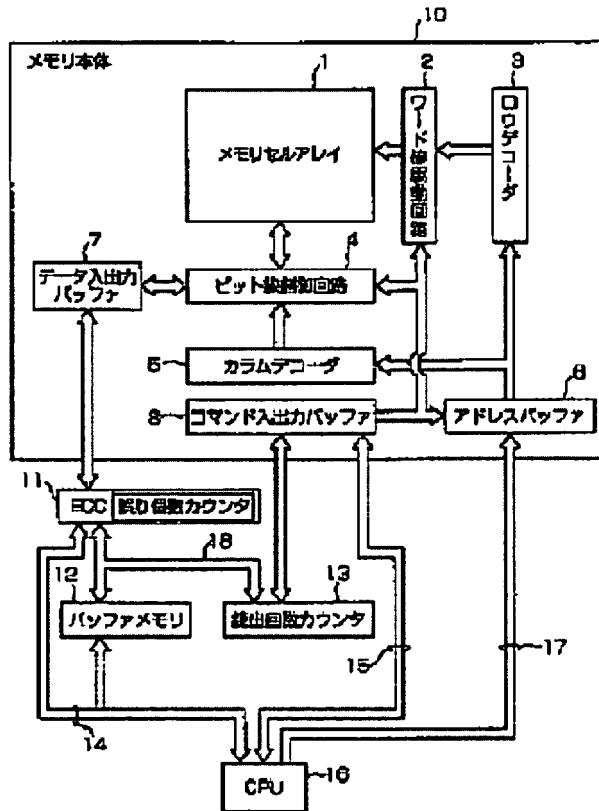
STORAGE SYSTEM INCLUDING NONVOLATILE SEMICONDUCTOR MEMORY

Patent number: JP8279295
Publication date: 1996-10-22
Inventor: SHIRATA RIICHIRO; TANZAWA TORU; KANEBAKO KAZUNORI; MOMOTOMI MASAKI
Applicant: TOSHIBA CORP
Classification:
 - **international:** G11C16/06; G06F12/16
 - **European:**
Application number: JP19950080579 19950405
Priority number(s):

Abstract of JP8279295

PURPOSE: To enable a refreshing control means to hold correct data by reading out all the data belonging to a storage area including the read-out data as the count subject of an information storing part when the data read-out count exceeds a read-out reference and re-writing all the data in the storage area via an error-correcting circuit.

CONSTITUTION: A readout counter 13 counts readout count from a nonvolatile memory cell array 1 by CPU 16, and outputs a signal to start up refreshing operation when the count is equal to or higher than a preset reference value for comparison. A refreshing command is supplied to a command input/output buffer 8 of a main memory body 10 and the refreshing is operated. In the refreshing operation, the data written in the memory are read out and errors are corrected before re-written in the memory. Refreshing of nonvolatile semiconductor memory is thereby performed at an effective time of ECC correction, and correct data are held.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 11 C 16/06			G 11 C 17/00	309F
G 06 F 12/16	310	7623-5B	G 06 F 12/16	310A
// H 01 L 27/10	491		H 01 L 27/10	491

審査請求 未請求 請求項の数16 O.L (全20頁)

(21)出願番号	特願平7-80579	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成7年(1995)4月5日	(72)発明者	白田理一郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内
		(72)発明者	丹沢徹 神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内
		(72)発明者	金箱和範 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内
		(74)代理人	弁理士 佐藤一雄 (外3名)
			最終頁に続く

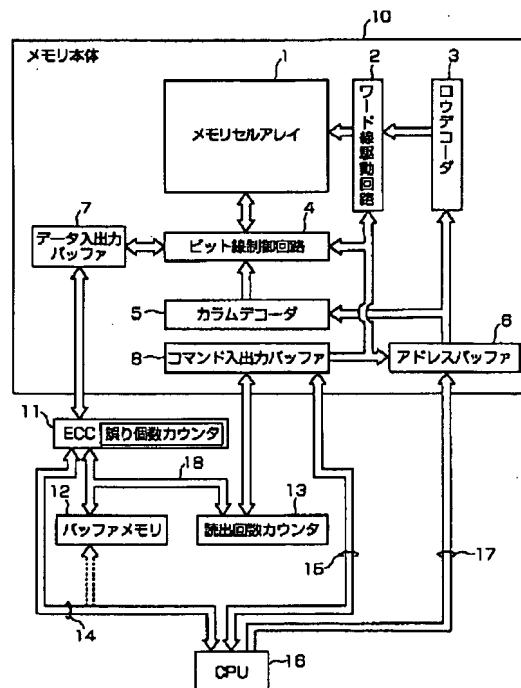
(54)【発明の名称】 不揮発性半導体記憶部を含む記憶システム

(57)【要約】

【目的】 再書き込み可能な不揮発性半導体記憶装置における、メモリセルトランジスタの閾値変化による保持データのエラーを防止する。

【構成】 書込み可能な不揮発性半導体記憶装置を含む記憶システムにおいて、不揮発性半導体メモリのデータの読み出回数が基準値を越えた場合に保持データのエラー訂正及び再書き込みを行う。

【効果】 メモリセルトランジスタの閾値変化による保持データの遷移が減少する。



【特許請求の範囲】

【請求項 1】データの再書き込み可能な不揮発性メモリセル群からなる 1 つ若しくは複数の記憶領域を有する情報記憶部と、

前記情報記憶部から読み出されるデータのエラーを検出し、読み出されたデータのエラーを訂正して出力する誤り検出訂正回路と、

前記情報記憶部からのデータの読み出しを計数する読み出回数カウンタと、

前記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、

前記リフレッシュ制御手段は、前記データの読み出しの計数値が読み出基準値を超えると、前記情報記憶部から前記計数の対象となった読み出データを含む記憶領域に属する全データを読み出し、読み出されたデータを前記誤り検出訂正回路を経由して前記記憶領域に再度書き込む、

ことを特徴とする不揮発性半導体記憶部を含む記憶システム。

【請求項 2】データの再書き込み可能な不揮発性メモリセル群からなる 1 つ若しくは複数の記憶領域を有する情報記憶部と、

前記情報記憶部から読み出されるデータのエラーを検出し、読み出されたデータのエラーを訂正して出力する誤り検出訂正回路と、

読み出されたデータのエラーを計数する誤り個数カウンタと、

前記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、

前記リフレッシュ制御手段は、前記データのエラーの計数値がエラー基準値を超えると、前記情報記憶部から前記エラー訂正の対象となった読み出データを含む記憶領域に属する全データを読み出し、読み出されたデータを前記誤り検出訂正回路を経由して前記記憶領域に再度書き込む、

ことを特徴とする不揮発性半導体記憶部を含む記憶システム。

【請求項 3】データの再書き込み可能な不揮発性メモリセル群からなる 1 つ若しくは複数の記憶領域を有する情報記憶部と、

前記情報記憶部から読み出されるデータのエラーを検出し、読み出されたデータのエラーを訂正して出力する誤り検出訂正回路と、

読み出されたデータのエラーを計数する誤り個数カウンタと、

前記情報記憶部からのデータの読み出しを計数する読み出回数カウンタと、

前記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、

前記リフレッシュ制御手段は、前記データの読み出の計数値が読み出基準値を超えかつ前記データのエラーの計数値

がエラー基準値を超えると、前記情報記憶部から各計数

の対象となった読み出データを含む記憶領域に属する全データを読み出し、読み出されたデータを前記誤り検出訂正回路を経由して前記記憶領域に再度書き込む、

ことを特徴とする不揮発性半導体記憶部を含む記憶システム。

【請求項 4】データの再書き込み可能な不揮発性メモリセル群からなる 1 つ若しくは複数の記憶領域を有する情報記憶部と、

前記情報記憶部から読み出されるデータのエラーを検出し、読み出されたデータのエラーを訂正して出力する誤り検出訂正回路と、

前記情報記憶部からのデータの読み出しを計数する読み出回数カウンタと、

データを一時記憶するバッファメモリと、

前記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、

前記リフレッシュ制御手段は、前記データの読み出の計数値が読み出基準値を超えると、前記情報記憶部から前記計数の対象となった読み出データを含む記憶領域に属する全データを前記バッファメモリに読み出し、読み出されたデータを前記誤り検出訂正回路を経由して前記記憶領域に再度書き込む、

ことを特徴とする不揮発性半導体記憶部を含む記憶システム。

【請求項 5】データの再書き込み可能な不揮発性メモリセル群からなる 1 つ若しくは複数の記憶領域を有する情報記憶部と、

前記情報記憶部から読み出されるデータのエラーを検出し、読み出されたデータのエラーを訂正して出力する誤り検出訂正回路と、

読み出されたデータのエラーを計数する誤り個数カウンタと、

データを一時記憶するバッファメモリと、

前記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、

前記リフレッシュ制御手段は、前記データのエラーの計数値がエラー基準値を超えると、前記情報記憶部から前記エラー訂正の対象となった読み出データを含む記憶領域に属する全データを前記バッファメモリに読み出し、読み出されたデータを前記誤り検出訂正回路を経由して前記記憶領域に再度書き込む、

ことを特徴とする不揮発性半導体記憶部を含む記憶システム。

【請求項 6】データの再書き込み可能な不揮発性メモリセル群からなる 1 つ若しくは複数の記憶領域を有する情報記憶部と、

前記情報記憶部から読み出されるデータのエラーを検出し、読み出されたデータのエラーを訂正して出力する誤り検出訂正回路と、

読み出されたデータのエラーを計数する誤り個数カウンタ

と、

前記情報記憶部からのデータの読み出しを計数する読み出回数カウンタと、

データを一時記憶するバッファメモリと、

前記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、

前記リフレッシュ制御手段は、前記データの読み出しが計数値が読み出基準値を超えるか、前記データのエラーの計数値がエラー基準値を超えると、前記情報記憶部から各計数の対象となった読み出データを含む記憶領域に属する全データを前記バッファメモリに読み出し、読み出したデータを前記誤り検出訂正回路を経由して前記記憶領域に再度書き込む、

ことを特徴とする不揮発性半導体記憶部を含む記憶システム。

【請求項7】データの再書き込み可能な不揮発性メモリセル群からなる1つ若しくは複数の記憶領域を有する情報記憶部と、

前記情報記憶部からのデータの読み出しを計数する読み出回数カウンタと、

データを一時記憶するバッファメモリと、

前記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、

前記リフレッシュ制御手段は、前記データの読み出しが計数値が読み出基準値を超えると、前記情報記憶部から前記計数の対象となった読み出データを含む記憶領域に属する全データを前記バッファメモリに読み出し、読み出したデータを全データが読み出された前記記憶領域若しくはこの記憶領域以外の別の記憶領域に再度書き込む、

ことを特徴とする不揮発性半導体記憶部を含む記憶システム。

【請求項8】データの再書き込み可能な不揮発性メモリセル群からなる1つ若しくは複数の記憶領域を有する情報記憶部と、

前記情報記憶部から読み出されるデータのエラーを検出し、読み出データのエラーを訂正して出力する誤り検出訂正回路と、

前記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、

前記リフレッシュ制御手段は、記憶システムへの電源投入若しくは電源遮断の際に、前記記憶領域から全データを読み出し、読み出したデータを前記誤り検出訂正回路を経由して前記記憶領域に再度書き込む、

ことを特徴とする不揮発性半導体記憶部を含む記憶システム。

【請求項9】前記リフレッシュ制御手段は、記憶システムへの電源投入若しくは電源遮断の際に、前記情報記憶部が保持するデータの再書き込みを行う、

ことを特徴とする請求項1乃至7のいずれかに記載の不揮発性半導体記憶部を含む記憶システム。

【請求項10】前記リフレッシュ制御手段は、前記情報記憶部から各計数の対象となった読み出データを含む記憶領域に属する全データを読み出し、読み出したデータを、前記誤り検出訂正回路を経由して、全データが読み出された前記記憶領域以外の別の記憶領域であるリフレッシュ用に特定された記憶領域若しくは空き記憶領域に書き込む、ことを特徴とする請求項1乃至6のいずれか、又は請求項8及び9のいずれかに記載の不揮発性半導体記憶部を含む記憶システム。

【請求項11】前記読み出回数カウンタが、前記メモリセル群からなる記憶領域の1つ若しくは所定数毎に、該記憶領域の区分に対応するようにして1つ若しくは所定数設けられ、

前記リフレッシュ制御手段は、前記記憶領域の1つ若しくは所定数毎に区分された記憶領域に属する全データをデータの再書き込み単位とする、

ことを特徴とする請求項1、3、4、6、7及び9のいずれかに記載の不揮発性半導体記憶装置。

【請求項12】前記誤り個数カウンタの出力をエラー基準値と比較する比較器が、前記メモリセル群からなる記憶領域の1つ若しくは所定数毎に、該記憶領域の区分に対応するようにして1つ若しくは所定数設けられ、前記リフレッシュ制御手段は、前記記憶領域の1つ若しくは所定数毎に区分された記憶領域に属する全データをデータの再書き込み単位とする、

ことを特徴とする請求項2、3、5及び6のいずれかに記載の不揮発性半導体記憶装置。

【請求項13】前記リフレッシュ制御手段は、前記情報記憶部が保持するデータの再書き込みを行う契機を監視する制御プログラムを立ち上げる際に、前回のデータのエラー計数値を今回のエラー比較の基準値として設定する、

ことを特徴とする請求項2、3、5、6及び12のいずれかに記載の不揮発性半導体記憶装置。

【請求項14】前記読み出回数カウンタ若しくは前記誤り個数カウンタの各計数値は、前記情報記憶部の計数の対象となったデータを保持する記憶領域内若しくは該計数値を保持するために用意された記憶領域内に保存される、

ことを特徴とする請求項11又は12に記載の不揮発性半導体記憶部を含む記憶システム。

【請求項15】前記リフレッシュ制御手段は、データの再書き込みを行った記憶領域において読み出データの誤り検出を再度行い、この記憶領域において再度エラーが検出されたときには、この記憶領域内の全データを他の記憶領域に移す、

ことを特徴とする請求項10に記載の不揮発性半導体記憶部を含む記憶システム。

【請求項16】前記読み出基準値は、前記不揮発性メモリセル群の読み出回数対誤りビット数の分布特性に基づいて

定められる、

ことを特徴とする請求項1、3、4、6及び7のいずれかに記載の不揮発性半導体記憶部を含む記憶システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電気的に書替え可能な不揮発性半導体記憶装置の改良に関し、特に、記憶データのリフレッシュ機能を備えることによって保持するデータの信頼性を向上した不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】電気的に書替え可能な不揮発性の半導体記憶装置として、例えば、図15及び図16に示すような、高集積化が可能なNAND型EEPROM(Electrically Erasable PROM)が知られている。図15

(a)は、EEPROMの一列分のメモリセルのパターンを示しており、図15(b)は、その電気的な等価回路を示している。同図において、SG1及びSG2は選択線、CG1～CG8はコントロールゲート線、BLはビット線、S1及びS2は選択用トランジスタ、M1～M8はメモリセルである。また、図16(a)及び図16(b)は、夫々図15(a)に示されている、A-A'方向、B-B'方向に沿った半導体装置の断面図を概略的に示している。両図において、211は半導体基板、212は素子分離の絶縁膜、213はチャネル部の絶縁膜(トンネル酸化膜)、214はフローティングゲート、215はゲート間絶縁膜、216はコントロールゲート、217は絶縁膜、218は金属ビット線(BL)、219はソース・ドレイン領域を形成するの高濃度不純物領域、である。NAND型EEPROMは、図15及び図16に示されるように、複数のメモリセルM1～M8をそれらのソース、ドレイン219を隣接するもの同士で共有するようにして互いに直列に接続し、これを一単位としてビット線BLに接続するものである。

【0003】各メモリセルMは、通常、電荷蓄積層と制御ゲート216が積層された、FETMOS構造を有する。メモリセルアレイは、P型またはN型の基板211に形成されたP型ウエル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介してソース線

(基準電位配線)に接続される。メモリセルの制御ゲートは、行方向に連続的に接続されてワード線となる。このような、メモリセル列が複数列設けられて、図17に示すような、EEPROMの実際のメモリセルアレイが形成される。

【0004】次に、NAND型EEPROMの動作について説明する。データの書込み及び読み出しは、図17に示されるように、ワード線(CGi)を共有するメモリセル毎に行われる。この単位はページと呼ばれている。データの消去は、ドレイン側とソース側の2つの選択ゲ

ート(例えば、SGi1, SGi2)の間にある全ワード線(例えば、CGi01～CGi16)を共有するメモリセルトランジスタ毎に行われる。この単位はブロックと呼ばれる。

【0005】データの書込みは、選択されたメモリセルトランジスタの制御ゲートに20V程度の高電圧を印加し、選択ブロックの非選択メモリセルトランジスタの制御ゲートと選択ブロックのドレイン側選択ゲートに10V程度の中間電圧を印加する。また、選択ブロックのソース側選択ゲートと非選択ブロックの選択ゲートに0Vを印加し、ビット線BLには書込みデータに応じて0Vまたは8V程度の中間電圧を夫々印加することによって行われる。ビット線BLに印加された電圧は、選択されたメモリセルトランジスタのチャネルまで伝達され、0Vが印加されたときはチャネルから浮遊ゲートに電子注入が生じ、選択されたメモリセルトランジスタの閾値電圧は正方向にシフトする。8Vが印加されたときは電子注入が起こらず、メモリセルトランジスタの閾値電圧は変化しない。

【0006】データの消去は、選択されたブロックの全制御ゲートに0Vを、P型基板またはN型基板及びP型ウエルと全選択ゲートと非選択ブロックの全制御ゲートに20V程度の高電圧を夫々印加することによって行われる。ビット線及びソース線はフローティング状態にされる。これにより、選択されたブロックのすべてのメモリセルトランジスタで浮遊ゲートの電子がチャネルに放出され、閾値電圧は負方向にシフトする。一方、非選択ブロックのメモリセルトランジスタの閾値電圧の変動は生じない。

【0007】読み出しは、選択されたメモリセルトランジスタの制御ゲートに0Vを、それ以外のメモリセルトランジスタの制御ゲート及び選択ゲートに電源電圧を夫々印加して選択されたメモリセルトランジスタ以外のトランジスタを導通させ、選択されたメモリセルトランジスタで電流が流れるか否かを検出することによって行われる。

【0008】従来の不揮発性半導体記憶装置では、記録データの高信頼性を図るために誤り検出訂正回路(ECC)が備えられており、メモリから読み出されたデータはECCによって誤りの訂正が行われている。

【0009】

【発明が解決しようとする課題】しかしながら、上述した動作説明から明らかであるように、NAND型EEPROMでは、読み出し動作時に非選択メモリセルトランジスタは転送ゲートとして使用されるため、これら読み出されない、非選択メモリセルトランジスタのゲート及び電荷蓄積層と、電荷蓄積層及びチャネル間に印加される電界によって、電荷蓄積層に蓄えられた信号電荷がゲートまたはチャネル間に抜けてしまったり、反対に電荷蓄積層に電荷が注入されたりして、メモリセルトラン

ジスタが保持している信号データの反転（閾値の遷移）が起こり得る。

【0010】図2は、特定のアドレスのメモリセルのデータを読み出しきけたときの、全メモリが保持するデータ中に誤りビットが出現する状態を、読み出回数対誤りビットの発生数のグラフで概略的に表している。この図から、誤り訂正が可能なエラー数が少ない状態であるうちに、これらのデータの読み出しが行われるならば、ECCによって元の正しいデータに復元することが可能であることが判る。しかしながら、特定のアドレスばかりがアクセスされると、メモリセルの同一ブロック内でデータ反転が重なっていき、ついには、ECCによる誤り訂正が不可能となってしまう、ということを判る。

【0011】よって、本発明は、従来の不揮発性半導体記憶装置における、メモリから読み出されたデータはECCによって誤りの訂正が行われているものの、読み出されないメモリセルのデータには誤りが蓄積されていき、やがてECCによる訂正が不可能になってしまうという、不具合を解消することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため本発明の不揮発性半導体記憶部を含む記憶システムは、データの再書き込み可能な不揮発性メモリセル群からなる1つ若しくは複数の記憶領域を有する情報記憶部と、上記情報記憶部から読み出されるデータのエラーを検出し、読み出データのエラーを訂正して出力する誤り検出訂正回路と、上記情報記憶部からのデータの読み出しを計数する読み出回数カウンタと、上記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、上記リフレッシュ制御手段は、上記データの読み出しの計数値が読み出基準値を超えると、上記情報記憶部から上記計数の対象となった読み出データを含む記憶領域に属する全データを読み出し、読み出されたデータを上記誤り検出訂正回路を経由して上記記憶領域に再度書き込む、ことを特徴とする。

【0013】また、本発明の不揮発性半導体記憶部を含む記憶システムは、データの再書き込み可能な不揮発性メモリセル群からなる1つ若しくは複数の記憶領域を有する情報記憶部と、上記情報記憶部から読み出されるデータのエラーを検出し、読み出データのエラーを訂正して出力する誤り検出訂正回路と、検出されたデータのエラーを計数する誤り個数カウンタと、上記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、上記リフレッシュ制御手段は、上記データのエラーの計数値がエラー基準値を超えると、上記情報記憶部から上記エラー訂正の対象となった読み出データを含む記憶領域に属する全データを読み出し、読み出されたデータを上記誤り検出訂正回路を経由して上記記憶領域に再度書き込む、ことを特徴とする。

【0014】また、本発明の不揮発性半導体記憶部を含

む記憶システムは、再書き込み可能な不揮発性メモリセル群からなる1つ若しくは複数の記憶領域を有する情報記憶部と、上記情報記憶部から読み出されるデータのエラーを検出し、読み出データのエラーを訂正して出力する誤り検出訂正回路と、検出されたデータのエラーを計数する誤り個数カウンタと、上記情報記憶部からのデータの読み出しを計数する読み出回数カウンタと、上記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、上記リフレッシュ制御手段は、上記データの読み出回数が読み出基準値を超えると、上記情報記憶部から各計数の対象となった読み出データを含む記憶領域に属する全データを読み出し、読み出されたデータを上記誤り検出訂正回路を経由して上記記憶領域に再度書き込む、ことを特徴とする。

【0015】また、本発明の不揮発性半導体記憶部を含む記憶システムは、データの再書き込み可能な不揮発性メモリセル群からなる1つ若しくは複数の記憶領域を有する情報記憶部と、上記情報記憶部からのデータの読み出しを計数する読み出回数カウンタと、データを一時記憶するバッファメモリと、上記情報記憶部が保持するデータの再書き込みを行うリフレッシュ制御手段と、を備え、上記リフレッシュ制御手段は、上記データの読み出しの計数値が読み出基準値を超えると、上記情報記憶部から上記計数の対象となった読み出データを含む記憶領域に属する全データを上記バッファメモリに読み出し、読み出されたデータを全データが読み出された上記記憶領域若しくはこの記憶領域以外の別の記憶領域に再度書き込む、ことを特徴とする。

【0016】

【作用】本発明によれば、ECC補正が有効な時点で不揮発性半導体装置に書き込まれている全データあるいは部分的なデータの書き換え（リフレッシュ）を行うので、読み出されなかつたデータを保持するメモリセルに、他のデータの読み出しつとによる誤りが発生していたときにも、誤りの数はECC訂正可能な誤り数以下であるため、正しいデータに修正されて再記録される。

【0017】また、他の本発明によれば、ECC補正を必要としないエラー発生率の極めて少ない時点で、不揮発性半導体装置に書き込まれているデータのリフレッシュを行う。

【0018】この結果、ECCの誤り訂正能力を越えて発生する誤りの頻度を、実使用上問題とならない程度にまで減らすことが可能となる。

【0019】

【実施例】以下、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例を示すブロック図である。同図において、1は、例えば、NAND型EEPROMからなるメモリセルアレイ、2は指定されるワード線を駆動するワード線駆動回路、3は与えら

れたアドレス信号に対応するワード線の駆動をワード線駆動回路2に指令するロウデコーダ、4は指示されたビット線を駆動する制御回路、5は与えられるアドレス信号に対応するビット線の駆動を指令するカラムデコーダ、6はアドレス信号を一時保持するアドレスバッファ、7は入出力データを一時保持するデータ入出力バッファ、8はメモリに与えられるコマンドを一時保持するコマンド入出力バッファである。これ等の構成要素1～8によって、情報記憶部である不揮発性半導体記憶装置の本体部分10が構成される。

【0020】更に、11は読出データのエラーチェック及びエラー訂正を行うECC(誤り検出訂正回路)である。ECC11には、例えば、リード・ソロモン(Reed-Solomon)符号を用いたエラー訂正方式を用いることが出来る。勿論、パリティチェックを含む他の種々のエラー訂正方式のものを使用することが可能である。ECC11は、エラー訂正によって元のデータに復元するための付加ビットや情報をデータに追加してメモリセルアレイに記憶させる機能を有し、更に、エラー訂正を実行するか否か等を判断するために、エラー数を計数する誤り個数カウンタを備えている。12はCPUのメインメモリやICメモリカード内でCPUと不揮発性メモリ間に設けられるバッファメモリ、13はメモリセルアレイ1からの読出回数を計数する読出回数カウンタ、16はデータ処理のためにEEPROMを制御する機能を備えるコンピュータシステムのCPU、14はECC11及びCPU16相互間のデータを伝送するデータ線(データバス)、15はコマンド入出力バッファ8及びCPU16間の制御信号を転送する制御線、17はCPU16からアドレスバッファ6にアドレス信号を伝送するアドレス線、18はECC11、バッファメモリ12及び読出回数カウンタ13相互間を接続する信号線である。

【0021】なお、ECC11及びCPU16相互間のデータ伝送は、図1に点線で示すように、バッファメモリ12を介して行うようにすることが出来る。また、データ線14は、ECC11、バッファメモリ12、その他の機能部分及びCPU16相互間を接続する共通データバスにより構成することが可能である。

【0022】CPU16は、コンピュータシステムにおいてデータ処理を行うCPUを用いることが出来るが、データの記憶装置への書込み、読出しを制御するため、専用化したCPU(制御装置)とすることも可能である。CPU16は、リフレッシュ制御手段を構成する。

【0023】次に、記憶システムの動作について説明する。CPU16は、通常、不揮発性メモリの本体部分10に対して以下に述べる3つのモードの動作をする。

【0024】データの書込みは、CPU16から、データ線14及びECC11を介してデータ入出力バッファ7に書込むべきデータが供給される。また、CPU16

から、書込みコマンドが制御線15を介してコマンド入出力バッファ8に、書込アドレスがアドレス線17を介してアドレスバッファ6に、夫々供給される。この結果、メモリセルアレイ1内の指定アドレスに対応するメモリセルに対してデータの書込みが行われる。

【0025】データの消去は、CPU16から消去コマンドが制御線15を介してコマンド入出力バッファ8に供給され、また、アドレス信号がアドレス線17を介してアドレスバッファ6に供給されることによって行われ、アドレス指定されたメモリセルアレイ1内の該当するメモリセルのデータがクリアされる。

【0026】データの読出は、CPU16から読出コマンドが制御線15を介してコマンド入出力バッファに供給され、読出アドレスがアドレス線17を介してアドレスバッファ6に与えられることによって行われる。メモリセルアレイ1内の該当するアドレスのメモリセルから読出されたデータは、ビット線制御回路4、データ入出力バッファ7及びECC11を経てデータ線14に出力され、CPU16に取込まれる。

【0027】次に、リードストレスによる保持データの誤り(設定されたトランジスタの閾値変化)の防止及びエラー修正を行う、リフレッシュ動作について説明する。

【0028】リフレッシュ動作に用いられる読出回数カウンタ13は、メモリセルアレイ1からの読出し回数をカウントする図示しないカウンタと、カウント値と図示しないレジスタに設定された比較基準値とを比較する図示しないコンパレータと、からなり、読出しのカウント値が予め設定されたリフレッシュの基準値に等しいか若しくは該基準値を超えるときに、リフレッシュ動作を起動させる信号を出力する。読出の計数の仕方には、種々の態様がある。例えば、上記のように、メモリ本体10への読出命令が単純に積算される場合、メモリ本体10への読出命令と指定アドレスを考慮して、メモリセルアレイ1内の各ブロック毎にアクセスを分けて、各ブロック毎に読出しのアクセス数を計数する場合、メモリセルアレイ内の1つ若しくは複数のブロックであるクラスター毎に読出しを計数する場合、メモリセルアレイ1内の各セル毎に読出しを計数する場合、これ等の読出回数の計数態様を適宜に組合せる場合等である。要求される精度、コスト等の見地から適当なものが選択される。第1の実施例では、メモリ本体10への読出アクセスが積算され、総読出回数(あるいは読出指令回数)がモニタされる。

【0029】コンピュータシステムの使用終了時の読出回数カウンタ13内の読出カウント値は、例えば、図示しない電源遮断のルーチンを実行するときに、退避すべきパラメータデータと共にメモリセルアレイ1の所定位に記憶される。そして、次回のコンピュータシステムの起動時に、読出されてECC11を介して読出回数カ

ウンタ 13 に入力され、前回のリフレッシュからこれまでの総読出回数が、今回のカウンタの初期値として設定される。CPU16 によってメモリセルアレイ 1 から読出しが行われる度に読出回数カウンタ 13 の値は 1ずつ増えていく。総読出し回数が基準値に等しくなると、読出回数カウンタ 13 はリフレッシュ指令を出力する。このリフレッシュ指令は、メモリ本体 10 のコマンド入出力バッファ 8 に供給される。メモリ本体 10 は、リフレッシュ指令に応答してリフレッシュ動作を行う。このリフレッシュ動作中は、外部からのデータの書込み及び外部への読出しが出来ない。そこで、メモリ本体 10 は他のコマンドを受け付けないことを示すビジー信号をコマンド入出力バッファ 8 から制御信号線 15 を介して CPU16 に供給する。リフレッシュ動作では、メモリに書込まれているデータを読出し、エラー訂正を行って再度メモリに書込む。この処理によって、EEPROM のセルトランジスタ各々の閾値を再設定する。

【0030】まず、読出指令と一連のアドレスを順番にメモリ本体 10 に与える読出モードにより、リフレッシュの対象となった全メモリセルのデータは、メモリセルアレイ 1 から、データ入出力バッファ 7、ECC11 を介してバッファメモリ 12 に順次に読み込まれる。ECC11 を通過する際にデータのエラー訂正が行われる。その後、メモリセルアレイ 1 の全メモリセルの保持データは消去され、リセットされる。次に、書込み指令と一連のアドレスを順番にメモリ本体 10 に与える書込みモードを行う。バッファメモリ 12 に保持された全データは ECC11 及びデータ入出力バッファ 7 を介してメモリセルアレイ 1 に再書込みされる。上記リフレッシュ動作においては、ECC11 によってエラー訂正されるため、エラービットが少なければ、誤りのないデータが復元されてメモリセルアレイ 1 に再書込みされる。全データの書込みが終了すると、リフレッシュ動作が終了したことと示すレディー信号がコマンド入出力バッファ 8 から出力され、CPU16 と読出回数カウンタ 13 に入力される。この信号により読出回数カウンタ 13 の計数値はリセットされ、総読出し回数は 0 にされる。

【0031】なお、コンピュータシステムあるいは記憶システムの終了時直前には、前述したように、メモリセル 1 に記憶されている前回の総読出し回数は、今回の読出回数カウンタ 13 の総読出し回数に書替え（更新）られる。

【0032】図 3 は、本発明の第 2 の実施例を説明するブロック図である。同図において図 1 と対応する部分には同一符号を付している。

【0033】この実施例が図 1 に示される第 1 の実施例と相違する点は、メモリ本体 10 内に読出回数カウンタ 13 を備え、更に、バッファメモリ 12 に相当する記憶領域をメモリセルアレイ 1 内の一部の領域に確保することにより、外部のバッファメモリ 12 を不要にしてい

る。このような、メモリ本体 10 を複数設ける構成であれば、いわゆるメモリインタリープを採用する構成等に容易に対応することが出来る。

【0034】なお、ECC11 と複数のメモリ本体 10 とをバス接続の他、マルチブレクサを介して接続することが出来る。また、各メモリ本体 10 每に ECC11 及び CPU16 を設ける構成とすることも可能である。

【0035】本発明の第 3 の実施例であるメモリセルアレイのクラスタ毎にリフレッシュを行う場合のリフレッシュ・アルゴリズムについて、図 4 に示すフローチャートを参照して説明する。この例では、各クラスタ毎に読出回数が不揮発性メモリに記録される。クラスタはメモリセルアレイのリフレッシュを行う単位であり、例えば、メモリセルアレイ 1 内における 1 つ若しくは複数のブロックまたはチップが該当する。

【0036】まず、半導体記憶装置に電源が投入され、図示しないパワーオンリセット回路が動作すると、図 4 (a) に示されるように、その出力によって不揮発性メモリ 1 に保持されている第 1 番目から第 n 番目のまでの各クラスタについての n 個の総読出し回数の読出しが行われる (S2)。第 i 番目のクラスタの総読出し回数 Y_i は、前回のリフレッシュからこれまでの総読出し回数を表しており、例えば、第 i 番目のクラスタ内の特定領域に格納されている。読み出された各クラスタの総読出し回数 Y₁ ~ Y_n は、総読出し回数をカウントするカウンタ 13 の複数の計数用レジスタに夫々プリセットされる (S4)。

【0037】次に、図 4 (b) に示すように、不揮発性記憶装置からのデータの読出がモニタされる。クラスタ i へのデータの読出しを行う度に (S12)、カウンタ 13 によってクラスタ i の総読出しカウント数 Y_i を 1 だけ増やし (S14)、総読出し回数 Y_i が予め設定された最大読出し回数 Y_c になったかどうかを判定する (S16)。

【0038】総読出し回数 Y_i が基準値 Y_c に等しいかこれを超えると、リフレッシュ動作が行われる (S16)。リフレッシュ時には、記憶装置へのアクセス不可を示すビジー信号（フラグ）が設定され、CPU16 に outputされる。その後、メモリセルアレイ 1 内のクラスタ i に属するブロック毎に、1 ページ目から順番に ECC に導入され、誤りがあったときには訂正済みのデータを、また誤りがないときにはそのままのデータを、クラスタと同じサイズのバッファメモリに順次に書込む (S18)。i 番目のクラスタの全データがバッファメモリに書込まれたら、クラスタ i 中の全ブロックは強制的に消去され (S20)、訂正済みのデータが再度同クラスタに書込まれる (S22)。総読出し回数 Y_i は「0」に書替えられ、i 番目のクラスタに対応する読出回数カウンタはリセットされる (S24)。最後に、レディー信号（フラグ）が設定されて、ビジー信号はリセットさ

れ、リフレッシュ動作が終了する (S 24)。

【0039】なお、ステップ S 18において、ブロック内のデータを ECC による訂正を行わずに、バッファメモリに順次書込むようにすることが出来る。基準値 Y_c をエラー発生の確立の小さい値に設定すれば、単に、リフレッシュを繰返すことになり、より簡便な回路構成で保持データのレベル遷移が防止される。また、ステップ S 22において、データの書き込みを行う際に、別の空いているクラスタあるいはブロックに記憶場所を変えて書き込むことが出来る。この場合には、例えば、コンピュータシステムのオペレーティングシステムによって、あるいはメモリ本体のハードウェアに用意されたアドレス変更機能により、ブロックアドレスの修正を行うなう。

【0040】コンピュータシステムの装置電源を落とす操作が行われて、パワーオフリセットコマンドが入力され、あるいはプログラム終了の操作が行われると、図 4 (c) に示すように、シャットダウンルーチンが実行される。不揮発性メモリ 1 に書き込まれているメモリの各クラスタについての総読出し回数 $Y_1 \sim Y_n$ はカウンタの現在値に夫々更新され、保持される (S 6)。

【0041】本発明の実施例におけるリフレッシュ動作を開始する基準となる基準読出回数 Y_c の設定方法について図 2 を参照して説明する。特定アドレスのメモリデータを読み出し続けたときに、初めて 1 ビット誤る読み出しが期待される回数 X の期待値は、EEPROM の場合、約 10 万回である。リフレッシュの基準読出回数 Y_c を、例えば、その十分の一の 1 万回に設定する。これにより、1 ページ中の 1 ビット誤りについて訂正能力を持つ ECC を用いても、ECC の誤り訂正能力を超えて発生する誤り、即ち、2 ビット以上の誤りの頻度を、実使用上問題とならない程度に減らすことができる。勿論、ECC のエラービット訂正能力をより高いもの用いることによって、リフレッシュ基準値を大きく設定することが可能である。

【0042】逆に、基準読出回数 Y_c をエラー発生の確率の十分に低い値に設定すれば、ECC を持たないシステムであっても、エラーの発生する前にリフレッシュを行ってビットの誤り発生を未然に防止することができる。

【0043】図 5 は、本発明の第 4 の実施例の構成を示すブロック図である。同図において、図 1 と対応する部分には同一符号を付し、かかる部分の説明は省略する。

【0044】基準読出回数 Y_c が、特定アドレスのメモリデータを読み出し続けたときに、初めて 1 ビット誤る読み出しが期待される回数 X の期待値に比べ十分小さく設定されている場合には、総読出回数 Y_i が予め設定された基準値 Y_c に等しくなるたびにリフレッシュ動作を実行する必要は少ない。これは、総読出回数 Y_i 内に誤る確率が十分に低い、また、読み出されたデータが ECC によってエラー訂正されるからである。その反面、リフレッシュには一

定の時間を要するため、コンピュータシステムの作業内容によってはプロセスの実行待ちを減らしたい場合がある。

【0045】そこで、この実施例では、総読出回数 Y_i が基準値 Y_c に等しくなったときに、更に、第 i 番クラスタ中のデータに誤りがあるとき、あるいは誤り個数 E_i が予め設定された誤り許容値 E_c を越えたときに、リフレッシュ動作を行うようにしている。総読出回数 Y_i が基準値 Y_c に等しくなると、読み出しがカウンタ 13 はメモリ本体 10 に対して第 i 番クラスタの全データを読み出すよう信号を出す。これらのデータは順次、ECC 11 を介してバッファメモリ 12 に読み込まれる。全データが出力されると同時にシンドローム計算は終了する。この結果は、誤り個数比較器 101 に入力され、予め設定された誤り個数許容値と比較される。誤り個数が基準値より小さければ、読み出しがカウンタ 13 をリセットするのみにして、データに対するリフレッシュ動作は行われない。誤り個数が基準値に等しいかまたはそれより大きければ、リフレッシュが実行される。すなわち、読み出しがカウンタ 13 をリセットするとともに、第 i 番クラスタの全メモリセルの内容はバッファメモリ 12 内に退避される。該クラスタ内の全メモリセルのデータはリセットされた後、ECC 11 によってエラー訂正されたデータがメモリセルアレイ 1 に再書き込まれる。

【0046】このようにして、クラスタ i の総読出回数 Y_i が基準値 Y_c に等しいかこれを超えた場合でも、第 i 番クラスタ中のデータ誤り個数 E_i が予め設定された誤り許容値 E_c より小さいときには ECC によって元のデータが復元可能であり、データに対するリフレッシュ動作は行われないので、データ消去及び再書き込みが省略できる。

【0047】図 6 は、上記第 4 の実施例に関わる不揮発性半導体記憶装置のリフレッシュ・アルゴリズムを示すフローチャートである。

【0048】図 4 (a) に示されるように、電源が投入されると、自動的に全クラスタの前回のリフレッシュからこれまでの総読出回数 Y_i が読み出され (S 2)、総読出回数をカウントするカウンタにプリセットされる (S 4)。その後、CPU 16 は不揮発性半導体記憶装置 10 からのデータの読み出しがモニタする。データの読み出しが行われると (S 12)、カウンタによって総読出回数 Y_i を 1 ずつ増やし (S 14)、総読出回数 Y_i が予め設定された基準読出回数 Y_c になったかどうかを判定する (S 16)。総読出回数 Y_i が基準値 Y_c に等しくなると、全データが読み出され、ECC 11 を介してバッファメモリ 12 に記憶される (S 18)。これらのデータ中の誤りが ECC 11 によって判定され、ECC 11 内の誤り個数カウンタによって個数 E_i が計数される。誤り個数 E_i は誤り個数比較器 101 に予め設定されている許容値 E_c と比較される (S 1

9)。なお、後述の実施例図8 (a)において説明するように、許容値E cを適宜変更することが出来る。誤り個数E iが許容値E cを越えているときは、i番目のクラスタ中の全ブロックは消去され(S 2 0)、エラー訂正済みのデータが再度同クラスタに書込まれ、データのリフレッシュが行われる(S 2 2)。その後、クラスタiについての総読出し回数Y iは「0」に書替えられ、リセットされる(S 2 4)。一方、誤り個数が許容値を越えていなかった場合には(S 1 9)、データの消去及び再書き込み(S 2 0, S 2 2)は行われず、総読出し回数Y iは0に書替えられリセットされる(S 2 4)。

【0049】このような、モニターチン(S 1 2～S 2 4)が繰返し、実行されることによって、クラスタi～nの書き込みデータがリフレッシュされる。

【0050】装置の電源を落とす操作やプログラム終了の操作が行われると、図4 (c)に示されるシャットダウンルーチンが実行される。CPU 1 3は不揮発メモリ内の各クラスタの総読出し回数Y iを夫々のクラスタについてのカウンタの現在値に更新し、データを保持させる(S 6)。

【0051】図7は、本発明の第5の実施例の構成を示すブロック図であり、特に、メモリセルアレイ1、その中の1つ又は複数のデータ用ブロックからなる複数のクラスタ102a～102c(実施例では、説明の便宜上3つであるが、任意数設けられる)、センスアンプ兼ラッチ回路付きビット線制御回路103、ECC 1 1、読出回数カウンタ13、誤り個数比較器101を取り出して示している。

【0052】このうち、メモリセルアレイ1は、複数のクラスタ102a～102cに加えて、一時記憶用ブロック102d及び読出回数誤り個数格納用ブロック102eを備えている。また、読出回数カウンタ13は、クラスタ102a～102cの数に対応した数の複数のカウンタR1～R3を持つ。加算演算を別途の部分(例えば、CPU 1 6やECC 1 1の演算部)で行う場合には、カウンタR1～R3は加算値を保持するレジスタであり得る。誤り個数比較器101も、クラスタ102a～102cの数に対応した数の複数の誤り比較器C1～C3を持つ。

【0053】この実施例では、これまでの複数のクラスタの各々についての、総読出し回数Y iと、前回書き込みまたは消去した際に生じた誤り個数E iとが、クラスタアドレスiに対応付けられて回数誤り個数格納用ブロック102e内に全クラスタ分格納されており、それ等のデータが回数誤り個数格納用ブロック102eから読み出される。また、複数のクラスタ102a～102c内に各クラスタの総読出し回数Y iと誤り個数E iとを格納し、各クラスタ内からそのクラスタiについての総読出し回数Y iと誤り個数E iとを読み出すようにすることが出来る。

【0054】これ等の総読出し回数Y iと誤り個数E iのデータは、ECC 1 1を介して夫々読出回数カウンタ13と誤り個数比較器101に入力される。読出された総読出し回数Y iは読出回数カウンタR1～R3のうち読出したクラスタiに対応するものにプリセットされる。また、読出された誤り個数E iは、誤り個数比較器C1～C3のうち読出したクラスタiに対応するものに比較基準値E c iとしてセットされる。なお、予め一定値を比較基準値E cとして読出回数誤り個数格納用ブロック102eに記憶しておき、これを誤り個数比較器101にセットすることが出来る。この場合には、誤り個数比較器をクラスタ数と同数設ける必要はなく、1つで済む。

【0055】読出回数カウンタ13の各クラスタのカウント値は各クラスタについて読み出しが行われる度に、また、誤り個数比較器101の比較基準値E cは書き込み、または、消去後の誤り個数チェックが行われる度に夫々更新される。このようにすることによって、読み出ストレスによるデータの誤りが発生したかどうかを、誤り個数E iと比較基準値E c iとを比較することによって判定できる。総読出し回数Y iが基準値Y cに等しくなり、更に、第i番目のクラスタ中のデータに誤り個数E iが誤り許容値E c iを越えたときに、リフレッシュ動作を行なうようになされている。

【0056】対象のクラスタを、例えば、クラスタ102bとすると、クラスタ102b内のデータは1ページ毎にセンスアンプ兼ラッチ回路付きビット線制御回路103に読み出され、ECC 1 1を介して誤り訂正される。更に、訂正されたデータは一時記憶用クラスタ102dに1ページずつ書き込まれる。このようにして、クラスタ102b内の全データはエラー訂正されて一時記憶用クラスタ102dに格納される。その後、クラスタ102bは消去され、一時記憶用クラスタ102dのデータがクラスタ102bにコピーされる。更に、その後、一時記憶用クラスタ102dは消去される。ここで、一時記憶用クラスタ102dとしては、リフレッシュのための専用ブロックとして固定されていてもよいし、あるいは空いたクラスタを活用することにしてもよい。ただし、後者の場合には、データの移動に伴ったブロックアドレスの変更が必要になる。更に、最後の一時記憶用クラスタ102dの消去は直ちに実行する必要はなく、時間節約のためCPU 1 6の空き時間に行ってもよい。

【0057】図8及び図9は、上記実施例に関わる不揮発性半導体記憶装置のリフレッシュ・アルゴリズムを示すフローチャートである。

【0058】装置に電源が投入され、あるいはオペレーティングシステムやアプリケーションプログラム等によって初期化ルーチンの実行が指令されると、図8 (a)に示される初期化ルーチンが実行される。

【0059】不揮発性メモリの全クラスタ1～nについて

て、前回のリフレッシュからこれまでの総読出し回数 Y_i と前回書込みまたは消去した際に生じた誤り個数 E_i が読み出される(S 3)。前述したように、読出し回数誤り個数格納用ブロック $102e$ にクラスタ i についての総読出し回数 Y_i 及び誤り個数 E_i を予め記録しておくことが出来る。また、各クラスタについてのデータ用ブロック $102a \sim 102c$ 内に、各クラスタの総読出し回数 Y_i 及び誤り個数 E_i を予め記憶しておくこともできる。読み出された各クラスタについての総読出し回数 Y_i は、総読出し回数をカウントするカウンタ 13 のクラスタ毎のカウンタにプリセットされる。読み出された各クラスタの誤り個数 E_i は、クラスタ i に対応する誤り個数比較器にエラー基準値 $E_{c,i}$ としてセットされる

(S 5)。前回の誤り個数 E_i を今回のエラー基準値とすることによって、前回に比べて今回のエラーが増加したことを判別することが出来る。

【0060】その後、図9に示される読み出回数モニターチンが実行される。CPU16は、データの読み出しが行われる度に、カウンタによって総読出しカウント数を1増やし(S 34)、総読出し回数 Y_i が予め設定された最大読み出回数 Y_c になったかどうかを判定する(S 36)。総読出し回数 Y_i が基準値 Y_c に等しくなると、 i 番目のクラスタの全データが読み出され(S 38)、ECC11によって誤りが訂正されて(S 40)、一時記憶用クラスタに格納される(S 42)。これらのデータの誤り個数 E_i は許容値 E_c に比較される(S 44)。誤り個数 E_i が許容値 E_c を越えていたら、クラスタ中の全ブロックは消去され(S 46)、一時記憶用クラスタに格納されている訂正済みのデータが第 i 番目のクラスタにコピーされる(S 48)。その後、一時記憶用クラスタ内のデータは消去される(S 50)。総読出し回数 Y_i は「0」に書替えられ、リセットされる(S 52)。

【0061】一方、誤り個数が許容値を越えていなかつた場合には(S 44)、データの消去及び再書込みは行われず、総読出し回数 Y_i は「0」に書替えられ、リセットされる(S 52)。

【0062】書込みまたは消去後には(S 32)、書込みまたは消去されたデータをECC11を介して読み出し、誤り個数のチェックが行われる(S 62)。誤り個数比較器 101 にセットされている誤り個数の基準値が更新される(S 64)。

【0063】このような処理(S 32～S 64)がクラスタ $1 \sim n$ について繰返し、行われる。装置の電源を落す操作やプログラム終了の指令が発令されると、図8(b)に示されるシャットダウンルーチンが実行される。CPU16は、電源が落ち切る前に、不揮発性メモリ内に記憶されている、各クラスタについての総読出し回数 Y_i 及び誤り個数 E_i を、データ用クラスタ $102a \sim 102c$ 内あるいは読み出回数誤り個数格納用ブロック $102e$ 内に記録し、総読出し回数 Y_i を現在のカウンタ 13 の値に、誤り個数 E_i を誤り個数比較器の被比較数として現在保持されている値に夫々更新する(S 7)。

【0064】前述したように、誤り個数 E_i がエラー基準値 $E_{c,i}$ としてセットされる場合(S 5)には、誤り個数 E_i は、ECCのエラー訂正能力(例えば、3ビット)を超えないようにする。

【0065】図10は、本発明の第6の実施例を示すブロック図である。同図において図1と対応する部分には同一符号を付し、かかる部分の説明は省略する。また、図11は、この実施例のリフレッシュ・アルゴリズムを示すフローチャートである。

【0066】本実施例では、電源を投入する度にリフレッシュを行うことにより、読み出回数カウンタ 13 を不要とし、これに伴う操作、例えば、電源を落とす前に総読出し回数 Y_i 等を予め書替える(保存する)操作等をなくすことができる。また、メモリ本体 10 にパリティチェック 200 を備えることによって、メモリ本体の外部にデータを出力することなく、書込みデータや読み出データの誤りの有無を確認することができる。更に、データ書替え時に誤りの有無をチェックして誤りが生じた場合にデータ再書込み先を空きクラスタとしているため、書替え時の誤りを可及的に減らすことが可能となる。

【0067】まず、電源が投入されると図11に示されるプログラムが自動的に起動する。これは、IPL(イニシャルプログラムローダ)やオペレーティングシステムの機能によって実現可能である。1番目のクラスタから、例えば、ページ単位で順にデータを読み出し(S 72)、パリティチェック 200 によって読み出したデータの誤りの有無が確認される(S 74)。誤りが発生したと判断されると(S 76)、データの読み出しは中止される。エラーデータが属するクラスタ i 内の全データは、メモリ本体 10 の外部に備えられたECC11に読み出され、エラー訂正が実行された後、バッファメモリ 12 に格納される(S 78)。なお、メモリ本体 10 は図3に示すように複数備えることが出来る。

【0068】その後、そのクラスタ i 内の全ブロックのデータは消去され(S 80)、訂正されたデータがバッファメモリ 12 から転送されて再書込みされる(S 82)。クラスタ i からこの再書込みデータを読み出し、パリティチェック 200 によって読み出したデータの誤りの有無が確認される(S 84)。誤りがあった場合には(S 86)、アドレスをメモリ本体 10 の空きクラスタや予備用のクラスタに変更して(S 88)再度データを書込む(S 82)。ここで、再書込みされるデータはバッファメモリ 12 から得られる。この操作は、再書込みデータに誤りがないことが確認されるまで繰り返される(S 82～S 86)。もし、メモリに再書込みを行う空きがない場合には、S 88において、メモリエラーを表

すコードをCPU16に出力し、必要により、CPU16に割込処理を行わせて、エラー対策とする。このようにして、クラスタ1からクラスタnまで、全メモリデータのリフレッシュが終了した後(S90～S92)、初めて、CPU16はメモリ本体10にアクセスできるようになる。

【0069】この実施例で開示した、エラーチェックを行ったクラスタとは別のクラスタにデータの書き込みを行う技術SA(ステップS78～S88)は、障害の生じたデータブロックの使用をやめ、不具合のないデータブロックを使用するという、重要な技術であり、先述した実施例、例えば、図4(b)、図6、図9に示される実施例に組込むことが出来る。なお、上記アルゴリズムでは、電源投入を契機としているが、これを電源遮断の指令を受けたときに実行するようになる。

【0070】図12に示される実施例は、記憶場所を別の場所に変更する技術SAのルーチンへの適用例を示すものであり、電源投入から電源オフまでの動作中において、総読出回数Yiが設定基準Ycになったとき、リフレッシュ動作を開始する。また、エラー検出をECC11に替えてメモリ本体のパリティチェック200により行っている。

【0071】メモリにアクセスがなされ、クラスタiから読出しが行われると(S104)、クラスタiについての総読出し回数Yiは読出回数カウンタ13によって、1ずつ増えていく(S106)。総読出し回数Yiが基準値Ycを超えない場合には、ルーチンから退出し、基準値Ycを超えると(S108)、クラスタiのデータに対してパリティチェックが行われ(S110)、エラーが発生したかどうかを判別する(S112)。エラーが発生すると、第i番目のクラスタを対象にリフレッシュ動作が実行される(S114)。ここでは、図11に示されるSAと同様に、クラスタiにおいて再書き込みエラーが生ずると、別の空きクラスタに書き込みが行われる。再書き込みが終了すると、データのリフレッシュに対応して新たに新たに読出数を計数するべく、読出回数カウンタ13がリセットされる(S116)。

【0072】図13は、電源投入時あるいは電源遮断時における不揮発性半導体メモリの他のリフレッシュの例を示している。まず、電源の投入あるいは遮断が指令されると、図13に示されるプログラムが自動的に起動する。これは、IPL(イニシャルプログラムローダ)やオペレーティングシステムの機能によって実現可能である。1番目のクラスタから、例えば、ページ単位で順にデータを読み出し(S122)、ECC11によって読み出したデータの誤りの有無が検出され、クラスタiにおいて誤り数EiがECCの誤り個数カウンタによって計数される(S124)。誤りの数Eiがエラー基準数Ecを超えると、(S126)、ステップS20、S22と同様に、クラスタiのリフレッシュを行う。クラスタi

内の全データは、メモリ本体10の外部に備えられたECC11に読み出され、エラー訂正が実行された後、バッファメモリ12に格納される。クラスタiの全データは消去され、エラー訂正されたデータがバッファメモリ12から、クラスタiに再書き込まれる(S128)。なお、前述した図11のSAに示す、クラスタiとは別の空きクラスタに書き込む技術を適用できる。

【0073】ステップS128終了後、あるいはエラーカウントEiが基準に満たない場合(S126)、クラスタが最終アドレスかどうか、判別する(S130)。最終アドレスでない場合は、次のクラスタをアドレスして(S132)、エラー検出、リフレッシュ(ステップS124～S128)を繰返す。

【0074】なお、ステップS126において、「Yi=Yc?」とし、図12のステップS116のように読み出回数カウンタリセットを適宜に挿入することによって、電源投入時あるいは電源遮断時に、図4(b)に示すような読み出数に基づくリフレッシュを行うことが出来る。

【0075】図14は、電源投入時あるいは電源遮断時における不揮発性半導体メモリの更に他のリフレッシュの例を示している。まず、電源の投入あるいは遮断が指令されると、図14に示されるプログラムが自動的に起動する。これは、IPL(イニシャルプログラムローダ)やオペレーティングシステムの機能によって実現可能である。

【0076】まず、電源が投入されると、自動的に全クラスタの前回のリフレッシュからこれまでの総読出し回数Yiが読み出され、総読出し回数をカウントするカウンタにリセットされる。1番目のクラスタが指定され(S142)、所定場所に記憶されている読出回数Y1が基準値Ycを超えるかどうかが比較される(S144)。超えない場合には、最終のクラスタかどうかが判別され(S156)、最終のクラスタでない場合、次のクラスタが指定される(S158)。

【0077】i番目のクラスタの読出回数Yiが基準値Ycを超えると(S148)、クラスタiの全データが読み出され、ECC11を介してバッファメモリ12に記憶される(S146)。これらのデータ中の誤りがECC11によって判定され、ECC11内の誤り個数カウンタによってエラー個数Eiが計数される。誤り個数Eiは誤り個数比較器101に予め設定されている許容値Ecと比較される(S148)。前述したように、許容値Ecを固定値にあるいは前回のEi等に適宜変更することができる。誤り個数Eiが許容値Ecを越えていいるときは、i番目のクラスタ中の全ブロックは消去され(S150)、エラー訂正済みのデータが再度同クラスタに書き込まれ、データのリフレッシュが行われる(S152)。その後、クラスタiについての総読出し回数Yiは「0」に書き換えられ、読出回数カウンタはリセット

される（S154）。一方、誤り個数が許容値を越えていなかつた場合には（S148）、データの消去及び再書き込み（S150, S152）は行われず、総読出し回数Yiは0に書き換えられリセットされる（S154）。

【0078】このような、ルーチン（S144～S158）が繰返し、実行されることによって、クラスタ1～nの書き込みデータがリフレッシュされる。

【0079】このようにして、電源投入直後あるいは電源遮断直前に不揮発性メモリ本体の全てのデータの誤りチェックが行われ、誤り個数が許容値を超えたクラスタの全データが読み出されて、リフレッシュされる。

【0080】上述した各実施例における特徴部分や要素を更に組合せて別のリフレッシュのルーチンを形成することが出来る。図示された、メモリ本体10と、ECC11～CPU16とを同一チップ上に形成することが可能である。例えば、不揮発性メモリを内蔵する1チップマイクロコンピュータとして形成することが可能である。

【0081】また、メモリ本体10とECC11～CPU16とを別々のチップ上に形成し、マルチチップモジュールによって1つのパッケージに収めることが可能である。勿論、メモリ本体10と、ECC11～CPU16とを配線基板上にモジュール化して構成することが出来る。

【0082】また、実施例では、電源の投入を契機にして読み出回数モニターチン等のリフレッシュサブルーチンを実行したが、これに限られるものではない。例えば、電源の遮断の指令を受けた場合や、コンピュータシステムのオペレーティングシステムからの指令によって、あるいはアプリケーションプログラムからのサブルーチンコール（あるいは関数呼出し）によって適宜に不揮発性メモリのリフレッシュを実行することが可能である。

【0083】このように、本発明の実施例によれば以下のような効果を得ることが出来る。

【0084】第1に、電源を落としても前回までの総読出し回数をカウントすることができるので、最大読出し回数になったら正しいデータに書き換えることができる。

【0085】第2に、不揮発性メモリ本体内に一時記憶専用のメモリ領域、あるいは空きメモリ領域、あるいはバッファメモリに訂正データを一時記憶できるため、もとのデータを消去して再書き込みを行える。

【0086】第3に、誤り個数比較器を用いることによって、リフレッシュ動作に誤り個数の条件、即ち誤り個数が設定された許容値以上かどうかという条件を加えられるため、誤り個数が基準値より少ない場合に不必要となるリフレッシュ動作が行われないようにできる。

【0087】第4に、最大読出し回数をはじめて1ビット誤る読み出回数の期待値以下に設定することによって、読み出リストレスによる誤りが発生していても、誤り

の個数がECC訂正可能な誤り数以下であるうちに正しいデータにリフレッシュできる。この結果、誤り訂正能力を越えて発生する誤りの頻度を、実使用上問題とならない程度に減らすことができる。

【0088】第5に、総読出し回数や誤り個数を専用のクラスタに記憶することによって、これらの数の更新を一度のアクセスによって行い得る。

【0089】第6に、誤り個数の基準値をデータ書き換えの際に生じた誤り個数に等しくすることによって、誤り個数を読み出による誤りの数と書き換えによる誤りの数に分けることができるため、読み出による誤りが発生したときにリフレッシュできる。

【0090】第7に、リフレッシュ時に誤りが許容数以下となるまでクラスタアドレスを空きクラスタに変えていくことによって、書き込みに失敗したクラスタの消去を空き時間に行えるようになり、また、リフレッシュの条件となる誤り個数比較のための基準値を固定できるため誤り個数基準値の読み出しや更新の必要をなくせる。

【0091】第8に、電源投入時または遮断時に必ずリフレッシュ動作を行うようにすることによって、読み出回数をメモリ本体内に格納する必要をなくすことができる。

【0092】

【発明の効果】以上述べたように本発明によれば、従来保持データのリフレッシュは行われていない、書き換え可能な不揮発性メモリにおいて、メモリセルトランジスタの閾値変化による保持データの状態遷移によってエラーが生じる前に再書き（リフレッシュ）し、あるいはエラー訂正可能なエラーの発生範囲内で、保持データを正しいデータに復元した後再書き込みを行うので、読み出回数に影響されないで、正しいデータを保持し続けることが可能な不揮発性半導体メモリシステムが得られる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】読み出回数と誤りビットの発生数との関係を説明するグラフである。

【図3】本発明の他の実施例を示すブロック図である。

【図4】図4（a）は、実施例における初期化ルーチンを説明するフローチャートである。図4（b）は、実施例のリフレッシュ動作を説明するフローチャートである。図4（c）は、実施例におけるシャットダウンルーチンを説明するフローチャートである。

【図5】本発明の他の実施例を示すブロック図である。

【図6】実施例のリフレッシュ動作を説明するフローチャートである。

【図7】本発明の他の実施例を示すブロック図である。

【図8】図8（a）は、図7に示す実施例における初期化ルーチンを説明するフローチャートである。図8（b）は、図7に示す実施例におけるシャットダウンルーチンを説明するフローチャートである。

【図9】図9は、図7に示す実施例のリフレッシュ動作を説明するフローチャートである。

【図10】本発明の他の実施例を示すブロック図である。

【図11】図10に示す実施例の電源投入後のリフレッシュ動作を説明するフローチャートである。

【図12】図10に示す実施例の読出回数に基づくリフレッシュ動作を説明するフローチャートである。

【図13】図10に示す実施例の電源投入後の他のリフレッシュ動作を説明するフローチャートである。

【図14】電源投入後の更に他の実施例を説明するフローチャートである。

【図15】従来の不揮発性半導体メモリの構成を説明する説明図である。

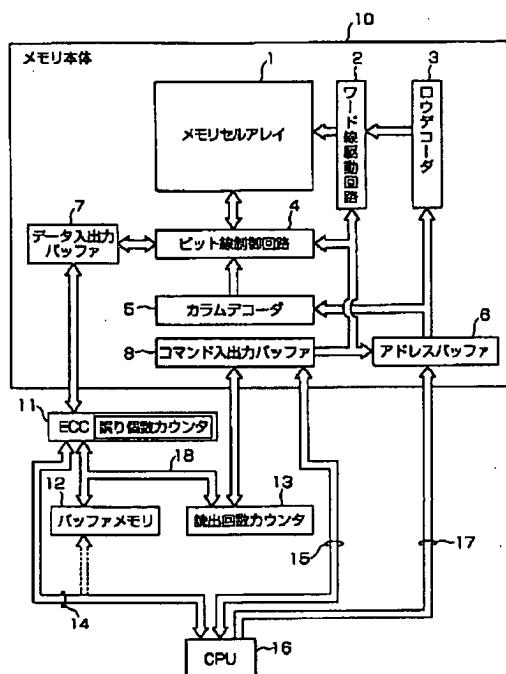
【図16】従来の不揮発性半導体メモリの構成を説明する断面図である。

【図17】従来の不揮発性半導体メモリのメモリセルアレイ構成を説明する説明図である。

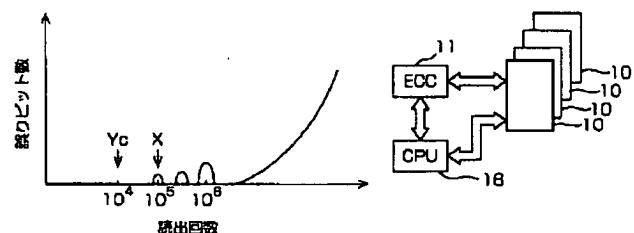
【符号の説明】

- 1 メモリセルアレイ
- 2 ワード線駆動回路
- 3 ロウデコーダ
- 4 ビット線制御回路
- 5 カラムデコーダ
- 6 アドレスバッファ
- 7 データ入出力バッファ
- 8 コマンド入出力バッファ
- 10 メモリ本体
- 11 エラー検出訂正（ECC）回路
- 12 バッファメモリ
- 13 読出回数カウンタ
- 14 データ線
- 15 制御線
- 16 CPU
- 17 アドレス線

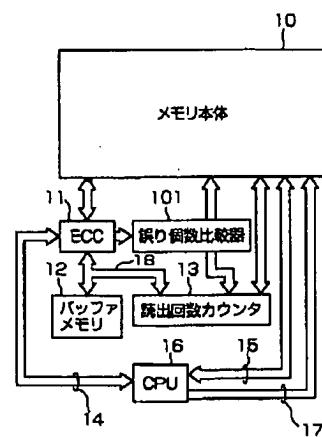
【図1】



【図2】

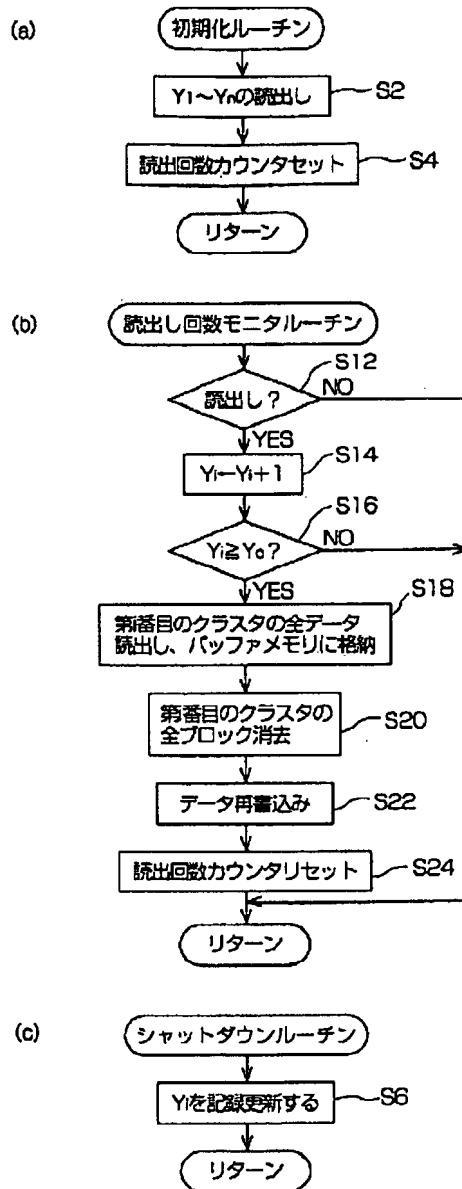


【図3】

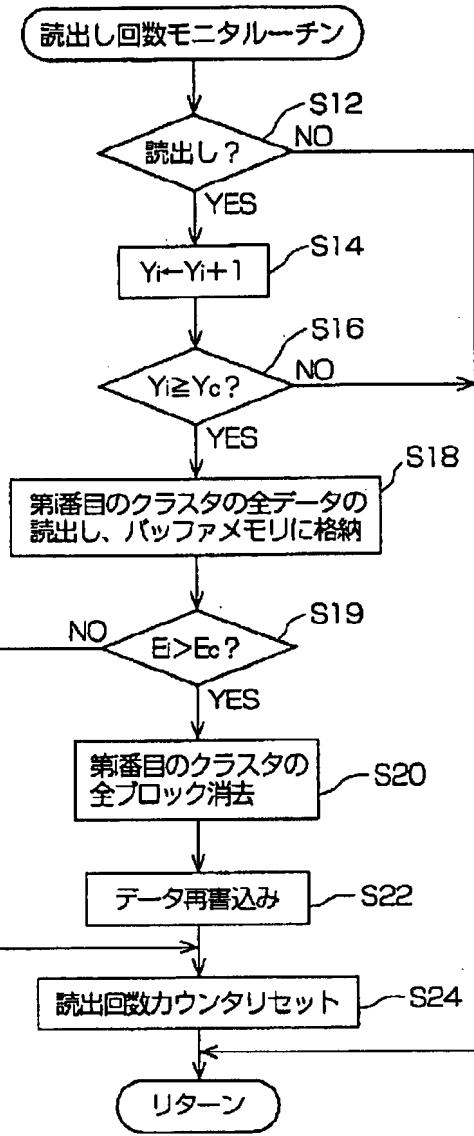


【図5】

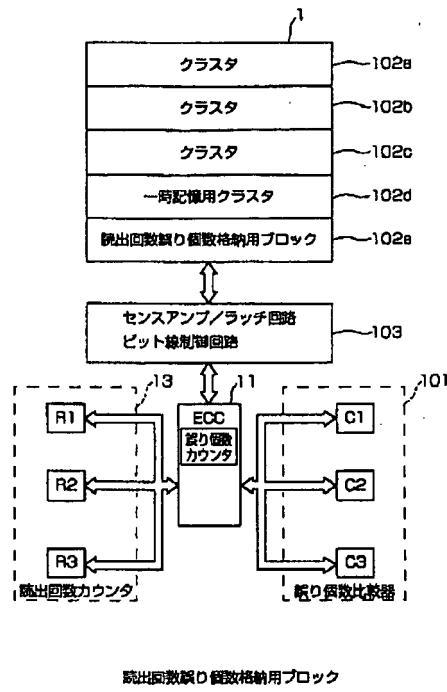
【図4】



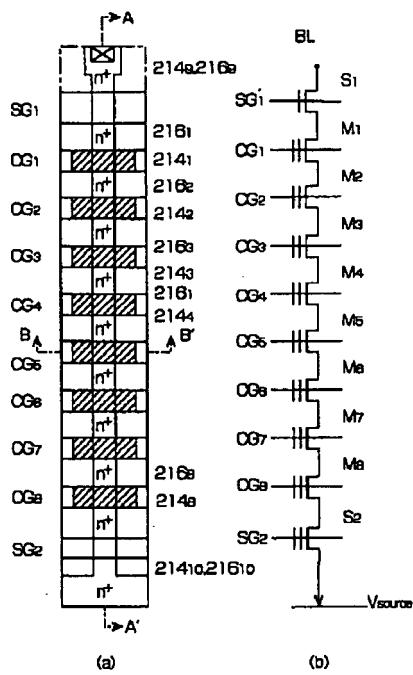
【図6】



【図 7】



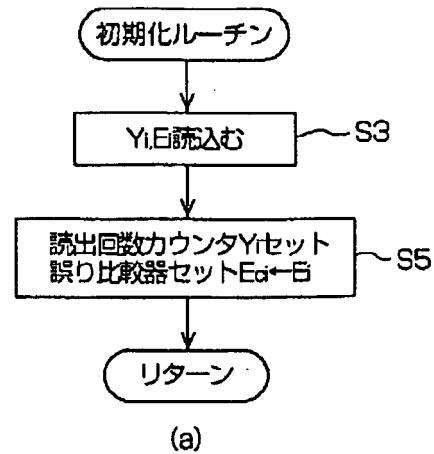
【図 15】



(a)

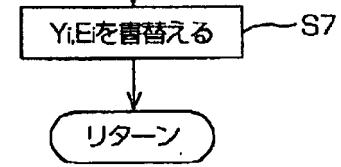
(b)

【図 8】



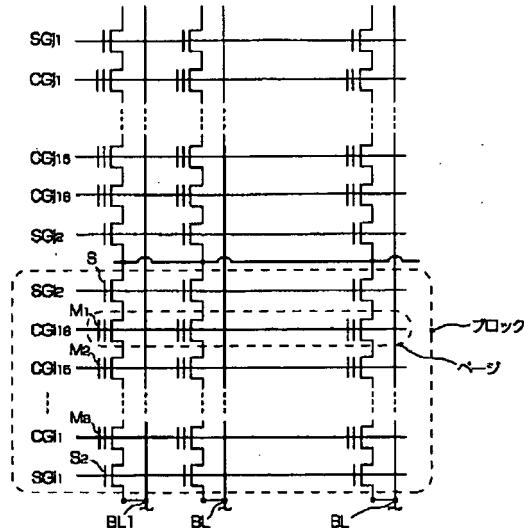
(a)

シャットダウンルーチン

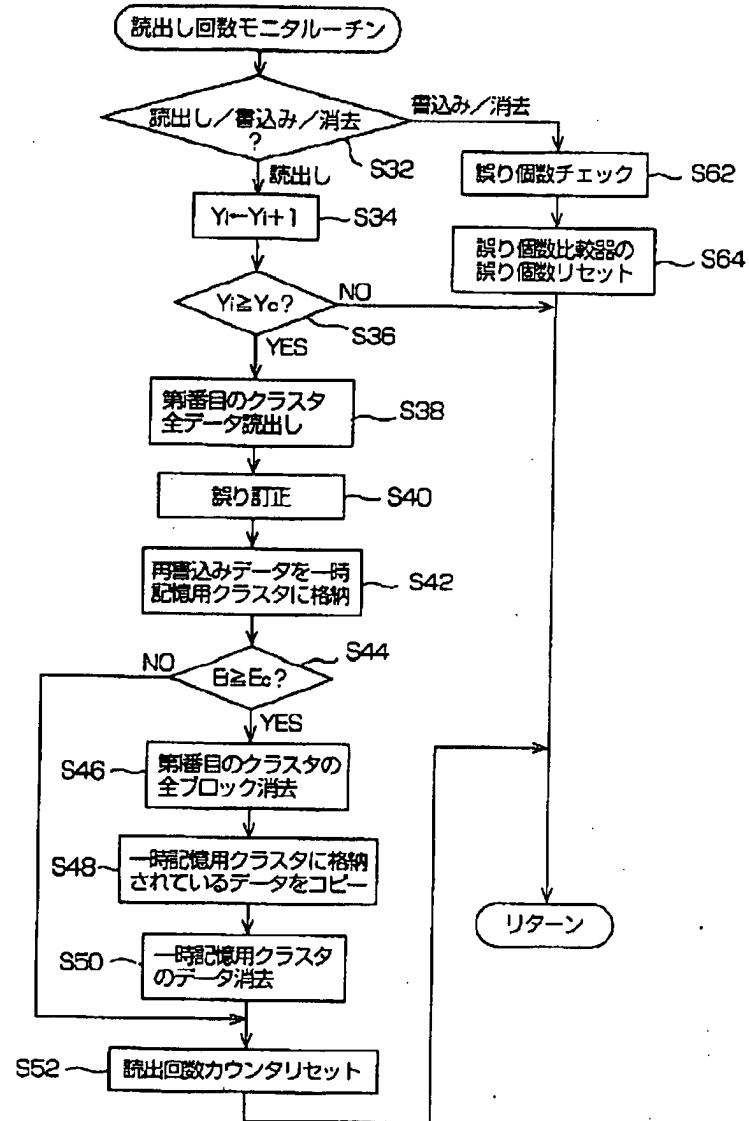


(b)

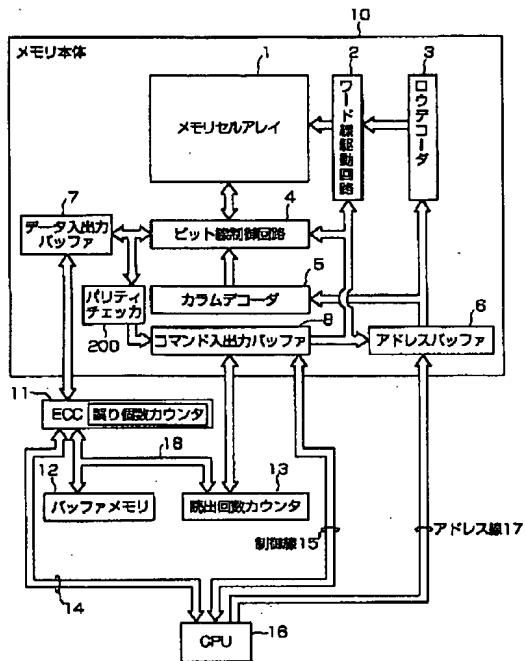
【図 17】



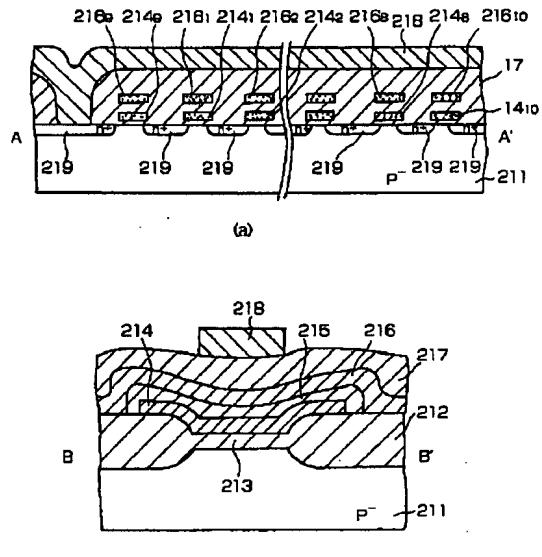
【図9】



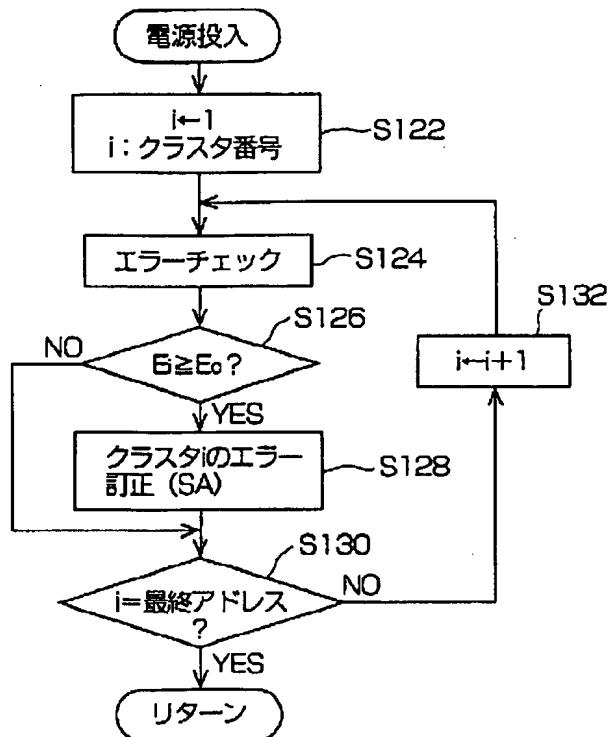
【図10】



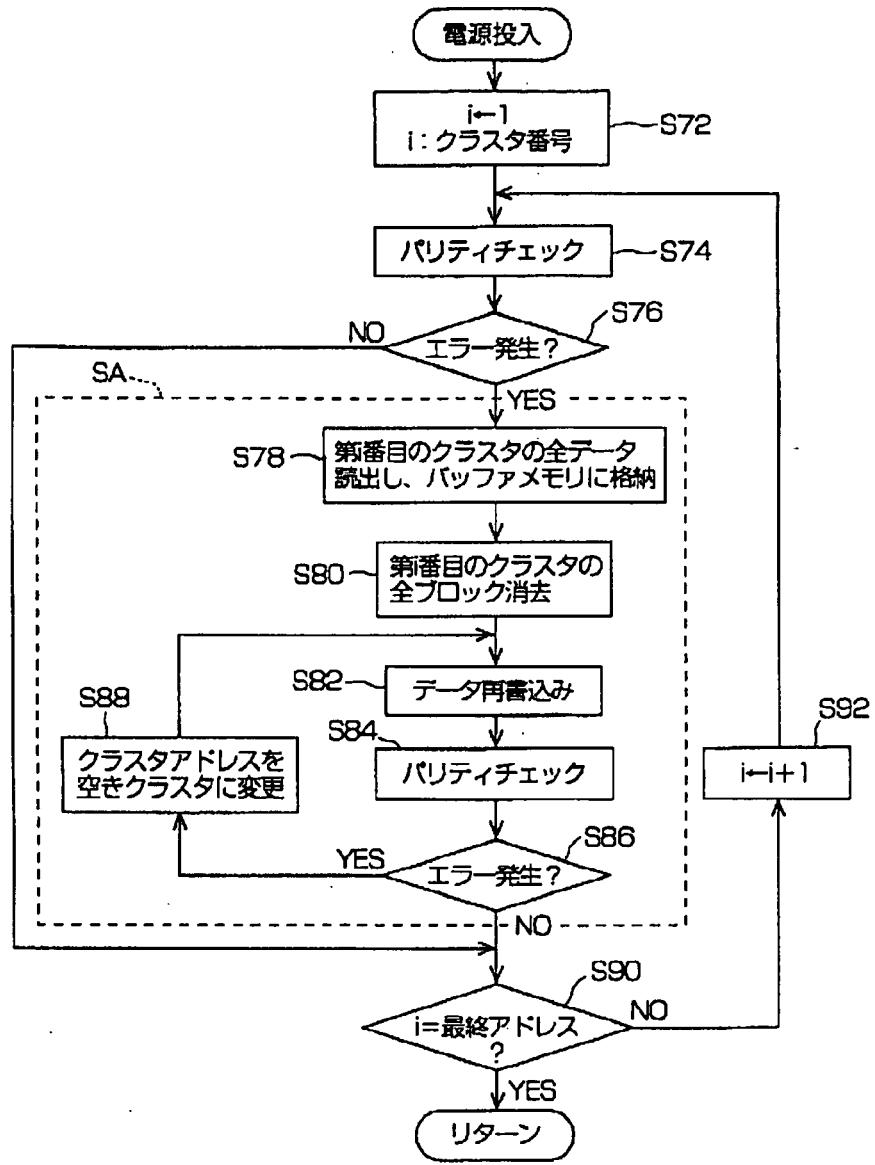
【図16】



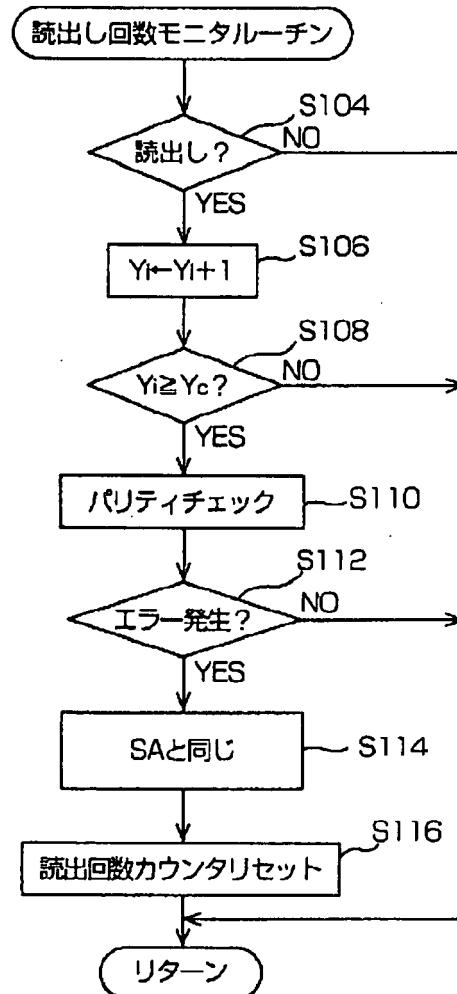
[図13]



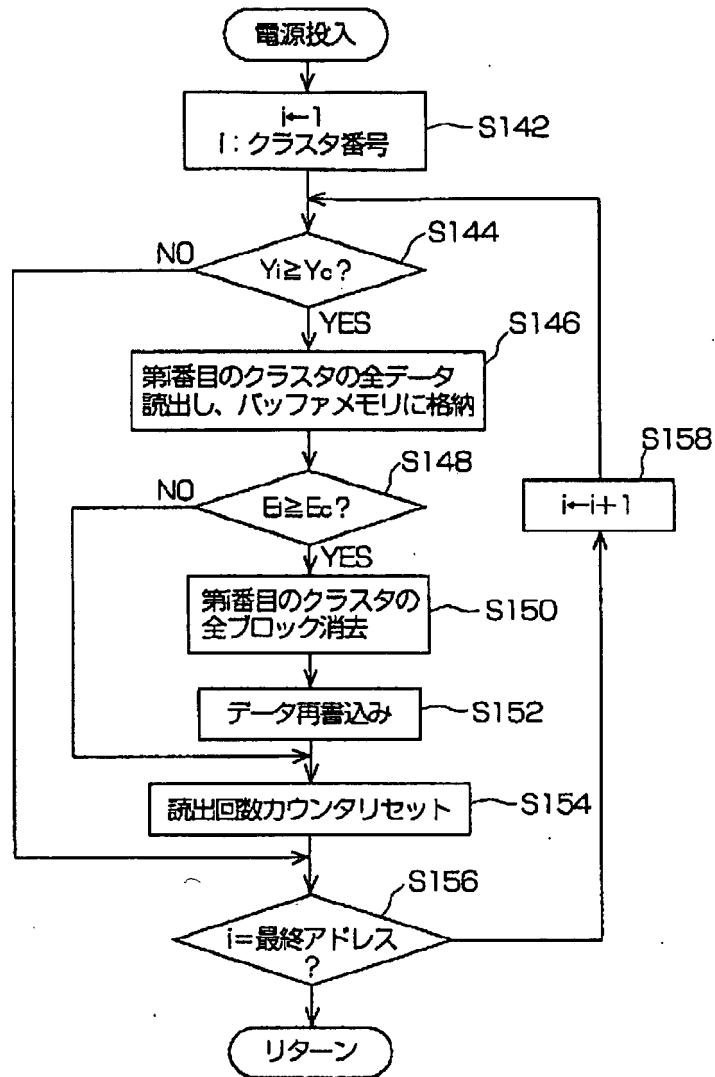
【図11】



【図12】



【図14】



フロントページの続き

(72)発明者 百富正樹
神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内